

第 92130568 號
初審引証附件

中華民國專利公報 [19] [12]

[11]公告編號：556072

[44]中華民國 92年(2003) 10月01日

發明

全34頁

[51] IntCl.⁷ : G06F1/08

[54]名稱：時脈控制電路及時脈控制方法

[21]申請案號：090104823

[22]申請日期：中華民國 90年(2001) 03月02日

[30]優先權：[31]2000-083579 [32]2000/03/24 [33]日本

[72]發明人：

佐伯貴範

日本

[71]申請人：

NEC電子股份有限公司

日本

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1. 一種時脈控制電路，其特徵在於：

在包括複數輸出將2個信號間之相位差內分後的信號之電路之增倍用插補器上，從輸入時脈來產生相位互相不同的複數增倍時脈；

至少包括1個相位調整用插補器，其輸入了上述增倍用插補器所輸出之相位互相不同的複數增倍時脈中的2個時脈，輸出將上述2個信號間之相位差內分後的信號。

2. 一種時脈控制電路，其特徵在於包括：

增倍用插補器，包括複數輸出將2個信號間之相位差內分後的信號之電路，而產生由輸入時脈增倍而成之

多相時脈以輸出；以及

開關，將從上述增倍用插補器所輸出之多相時脈當作輸入，而選擇輸出其中之至少1對之時脈；

5. 同時至少包括1個相位調整用插補器，將從上述開關所輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分後之信號；

10. 又包括控制電路，控制上述相位調整用插補器之內分比之設定、以及在上開關之時脈輸出之切換。

3. 一種時脈控制電路，其特徵在於包括：

15. 增倍用插補器，包括複數輸出將2個信號間之相位差內分後的信號之電

(2)

3

路，而產生由輸入時脈增倍而成之多相時脈以輸出；

1個或複數開關，將從上述增倍用插補器所輸出之多相時脈當作輸入，而輸出從其中所選擇的組合之時脈對；

複數相位調整用插補器，將從上述開關所選擇輸出之複數時脈對各自當作輸入，而各自輸出將上述時脈對間之相位差內分後之信號；以及控制電路，控制上述相位調整用插補器之內分比之設定、以及在上述開關之時脈輸出之切換。

4.如申請專利範圍第1項所述的時脈控制電路，其中上述增倍用插補器包括：

除頻器，將輸入時脈除頻，而產生輸出多相時脈；

週期測知電路，測知上述輸入時脈之週期；以及

多相時脈增倍電路，將上述除頻器之多相時脈輸出當作輸入，而產生將上述時脈增倍後之多相時脈；

其中上述多相時脈增倍電路包括：

複數時序差分割電路，輸出將2個輸入之時序差分割後之信號；以及

複數多重化電路，將此2個上述時序差分割電路之輸出各自多重化而輸出；

且上述複數時序差分割電路包括：時序差分割電路，將同一相位時脈當作輸入；以及時序差分割電路，將相鄰相位之2個時脈當作輸入。

5.如申請專利範圍第2項所述的時脈控制電路，其中上述增倍用插補器包括：

除頻器，將輸入時脈除頻，而產生輸出多相時脈；

週期測知電路，測知上述輸入時脈之週期；以及

4

多相時脈增倍電路，將上述除頻器之多相時脈輸出當作輸入，而產生將上述時脈增倍後之多相時脈；

其中上述多相時脈增倍電路包括：

5. 複數時序差分割電路，輸出將2個輸入之時序差分割後之信號；以及複數多重化電路，將此2個上述時序差分割電路之輸出各自多重化而輸出；

10. 且上述複數時序差分割電路包括：時序差分割電路，將同一相位時脈當作輸入；以及時序差分割電路，將相鄰相位之2個時脈當作輸入。

6.如申請專利範圍第3項所述的時脈控制電路，其中上述增倍用插補器包括：

除頻器，將輸入時脈除頻，而產生輸出多相時脈；

週期測知電路，測知上述輸入時脈之週期；以及

20. 多相時脈增倍電路，將上述除頻器之多相時脈輸出當作輸入，而產生將上述時脈增倍後之多相時脈；

其中上述多相時脈增倍電路包括：

25. 複數時序差分割電路，輸出將2個輸入之時序差分割後之信號；以及

複數多重化電路，將此2個上述時序差分割電路之輸出各自多重化而輸出；

30. 且上述複數時序差分割電路包括：時序差分割電路，將同一相位時脈當作輸入；以及時序差分割電路，將相鄰相位之2個時脈當作輸入。

7.如申請專利範圍第4項所述的時脈控制電路，其中上述多相時脈增倍電路，包括將 n 相位之時脈(第1至第 n 時脈)作為輸入，而輸出將此2個輸入之時序差分割後之信號之 $2n$ 個時序差分割電路；

40. 第 $2i-1$ (其中， $1 \leq i \leq n$)個之時序差

(3)

5

分割電路，當作上述2個輸入，輸入了第I個之同一時脈；

其中第2I(其中， $1 \leq I \leq n$)個之時序差分割電路，以第I個之時脈、和第 $(I+1 \bmod n)$ 個(其中， \bmod 表示餘數運算，而 $I+1 \bmod n$ 為 $I+1$ 除以 n 之餘數)之時脈當作輸入；

並包括：

2n 個脈衝寬度修正電路，以第J個(其中， $1 \leq J \leq 2n$)之時序差分割電路之輸出、和第 $(J+2 \bmod n)$ 個($J+2 \bmod n$ 為 $J+2$ 除以 n 之餘數)之時序差分割電路之輸出當作輸入；以及
n個多重化電路，以第K個(其中， $1 \leq K \leq n$)之脈衝寬度修正電路之輸出和第 $(K+n)$ 個脈衝寬度修正電路之輸出當作輸入。

8.如申請專利範圍第4項所述的時脈控制電路，其中上述時序差分割電路，包括：

邏輯反或(NOR)電路，將第1、第2之輸入信號當作輸入；以及
反相器，將上述邏輯反或電路之輸出之內部節點之電位當作輸入；

串列連接在上述內部節點和接地間之開關元件和電容，以複數條互相地被並列連接，

而從被連接至上述開關元件之控制端子上之週期控制信號上，來決定附加在上述內部節點之電容量。

9.如申請專利範圍第4項所述的時脈控制電路，其中上述時序差分割電路，包括：

邏輯電路，將第1、第2之輸入信號當作輸入，而輸出上述第1、第2之輸入信號之既定的邏輯運算結果；

第1開關元件，被連接第1電源和內部節點之間，而將上述邏輯電路之輸出信號當作輸入至控制端子；

緩衝器電路，輸入端被連接至上述

6

內部節點上，在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

第2開關元件，被串列連接至上述內部節點和第2電源之間，藉由第1定電流源、以及上述第1輸入信號，來控制開關動作；以及

第3開關元件，被串列連接至上述內部節點和上述第2電源之間，藉由第2定電流源、以及上述第2輸入信號，來控制開關動作；

而又在上述內部節點和上述第2電源之間，被串列連接之第4開關元件和電容，以複數條互相地被並列連接，而在上述第4開關元件之控制端子上所供給之週期控制信號上，來決定附加在上述內部節點之電容量。

10.如申請專利範圍第9項所述的時脈控制電路，其中上述第1開關元件，由第1導電型之電晶體而成，而上述第2至第4開關元件，由第2導電型之電晶體而成。

11.如申請專利範圍第4項所述的時脈控制電路，其中上述時序差分割電路，包括：

邏輯電路，將第1、第2之輸入信號當作輸入，而輸出上述第1、第2之輸入信號之既定的邏輯運算結果；

P通道MOS電晶體，被連接至第1電源和內部節點之間，而輸入上述邏輯電路之輸出信號至其閘極；

緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

N通道MOS電晶體，在上述內部節點和接地之間，將上述第1輸入信號之反相信號當作閘極輸入，而以定電流來驅動之；以及

(4)

7

N 通道 MOS 電晶體，在上述內部節點和接地之間，將上述第2輸入信號之反相信號當作閘極輸入，而以定電流來驅動之；

而又在上述內部節點和接地之間，被串列連接之開關元件和電容，以複數條互相地被並列連接，而在上述開關元件之控制端子上所供給之週期控制信號上，來決定附加在上述內部節點之電容量。

12.如申請專利範圍第1、2或3項所述的時脈控制電路，其中上述相位調整用插補器，包括：

邏輯電路，將第1、第2之輸入信號當輸入，而輸出上述第1、第2之輸入信號之既定的邏輯運算結果；

第1開關元件，被連接至第1電源和內部節點之間，而輸入上述邏輯電路之輸出信號至控制端子；以及緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

而在上述內部節點和第2電源之間，由以第1定電流源、和上述第1輸入信號來控制開關動作之第2開關元件，和以來自上述控制電路之控制信號來控制開關動作之第3開關元件而成的串列電路，複數個地被並列連接；

在上述內部節點和第2電源之間，由以上述第2定電流源、和上述第2輸入信號來控制開關動作之第4開關元件，和以來自上述控制電路之控制信號來控制開關動作之第5開關元件而成的串列電路，複數個地被並列連接；

而又在上述內部節點和上述第2電源之間，由第6開關元件和電容而成的串列電路，複數個地互相地被並列

8

連接，而在被連接至上述第6開關元件之控制端子之週期控制信號上，來控制開關動作，以決定附加在上述內部節點之電容量。

5. 13.如申請專利範圍第12項所述的時脈控制電路，其中上述第1開關元件，由第1導電型之電晶體而成；而上述第2至第6開關元件，由第2導電型之電晶體而成。

10. 14.如申請專利範圍第12項所述的時脈控制電路，由上述第2開關元件、上述第3開關元件、上述第4開關元件、以及上述第5開關元件中之任何之至少之既定個數(N個)而成；

15. 藉由供給至上述第3開關元件群之控制信號，來開啟K(其中，K為0~N)個之上述第3開關元件；

藉由供給至上述第5開關元件群之控制信號，來開啟N-K個之上述第5開關元件；

20. 而上述第1輸入信號和上述第2輸入信號之時序差T，以上述時序差之N分之1為單位，輸出對應至上述K當基準之內分後之相位的信號，並藉由可以改變K之值，來改變內分比。

25. 15.如申請專利範圍第1、2或3項所述的時脈控制電路，其中上述相位調整用插補器，包括：

30. 邏輯或(OR)電路，將第1、第2之輸入信號當作輸入；

35. P通道MOS電晶體，被連接至電源和內部節點之間，而輸入上述邏輯或電路之輸出信號至其閘極；以及緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

40. 在上述內部節點和接地之間，將上述第1輸入信號當作閘極輸入，而以

(5)

9

定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

在上述內部節點和接地之間，將上述第 2 輸入信號當作閘極輸入，而以定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

又在上述內部節點和接地之間，由開關元件和電容而成的串列電路，被複數個地並列連接，而在被連接至上述開關元件之控制端子之週期控制信號上，來決定附加在上述內部節點之電容量。

16.如申請專利範圍第 1、2 或 3 項所述的時脈控制電路，其中上述相位調整用插補器，包括：

邏輯反和(NAND)電路，將第 1、第 2 之輸入信號當作輸入；

P 通道 MOS 電晶體，被連接至電源和內部節點之間，而輸入上述邏輯反和電路之輸出信號至其閘極；以及

緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

在上述內部節點和接地之間，將以第 1 反相電路來把上述第 1 輸入信號反相後之信號當作閘極輸入，而以定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

在上述內部節點和接地之間，將以

10

第 2 反相電路來把上述第 2 輸入信號反相後之信號當作閘極輸入，而以定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

又在上述內部節點和接地之間，由開關元件和電容而成的串列電路，被複數個地並列連接，而在被連接至上述開關元件之控制端子之週期控制信號上，來決定附加在上述內部節點之電容量。

17.如申請專利範圍第 8、9、10、或 11 項所述的時脈控制電路，其中上述週期控制信號，由申請專利範圍第 4 項之上述週期測知電路來供給。

18.如申請專利範圍第 8、9、10、或 11 項所述的時脈控制電路，其中上述週期控制信號，由申請專利範圍第 5 項之上述週期測知電路來供給。

19.如申請專利範圍第 8、9、10、或 11 項所述的時脈控制電路，其中上述週期控制信號，由申請專利範圍第 6 項之上述週期測知電路來供給。

20.如申請專利範圍第 2 或 3 項所述的時脈控制電路，其中上述控制電路，在上述相位調整用插補器之內分比之設定達到上限或下限，而有必要執行上述相位調整用插補器 30 之輸出相位之調整的情況下，來執行選擇輸出被供給至上述相位調整用插補器之上述開關之時脈輸出的切換。

21.如申請專利範圍第 2 或 3 項所述的時脈控制電路，其中上述控制電路，以上述輸入時脈或既定之基準時脈、和上述相位調整用插補器之輸出的相位比較結果當基準，來控制上述相位調整用插補器之內分比的